

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-340480

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

H04N 5/243

(21)Application number : 07-147507

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 14.06.1995

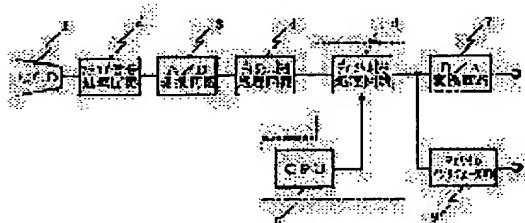
(72)Inventor : MURATA NORIO  
ABE SHIGETO

## (54) TELEVISION CAMERA SYSTEM USING DIGITAL SIGNAL PROCESSING

### (57)Abstract:

**PURPOSE:** To enable a digital signal processing matching the number of pixels of a CCD, an aspect ratio, etc., without greatly increasing the circuit scale by loading the program of a selected ROM to an FPGA(field programmable logic device).

**CONSTITUTION:** Digitized image data are processed by a 1st digital signal processing circuit 4 and supplied to a 2nd digital signal processing circuit 6 which consists of a field programmable logic device (FPGA), etc., and processes the digital signal under the control of a central control unit(CPU) 5 according to the number of pixels of the CCD1, aspect ratio, etc. The processed signal is outputted through a D/A converting circuit 7 and a digital interface circuit 6. In this case, plural ROMs wherein circuit data corresponding to plural kinds of CCD pixel sampling and aspect ratios are written are mounted on a camera device, and a corresponding ROM is selected out of the ROMs under the control of the CPU5, so that its circuit data are loaded to the FPGA.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-340480

(43) 公開日 平成8年(1996)12月24日

(19) 日本国特許庁 (JP)

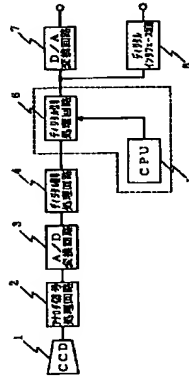
(51) Int. Cl. <sup>6</sup>	H 04 N 5/243	機別記号	F I H 04 N 5/243	特許表示箇所
審査請求	未請求	請求項の数	2	O L (全 5 頁)
(21) 出願番号	特願平7-147507	(71) 出願人	000005429	日立電子株式会社 東京都千代田区神田和泉町1番地
(22) 出願日	平成7年(1995)6月14日	(72) 発明者	村田 重男 東京都小平市御幸町32番地	日立電子株式 会社小金井工場内
		(72) 発明者	阿部 重人 東京都小平市御幸町32番地	日立電子株式 会社小金井工場内

(54) 【発明の名称】 デジタル信号処理を用いたテレビジョンカメラシステム

(57) 【要約】

【目的】 デジタル信号処理を行うテレビジョンカメラ装置における、CCD画素数、アスペクト比等の変更無し、最適な映像信号処理を、ユニットの入れ替えや回路規模の増大を招くことなく、実現することを目的としている。

【構成】 CCDクロックレートでA/D変換したデジタル映像の処理に、ROMロードタイプのFPGAを用い、かつCCD画素数若しくは画面のアスペクト比によりFPGA内のデジタル信号処理回路を変更するため、各CCD画素数又はアスペクト比に対応した異なるプログラムを格納したROMを複数個搭載し、外部システマまたは操作によってカメラヘッドの画素数又はアスペクト比を検知する手段を用い、画素数又はアスペクト比に運動して複数のROMの中から択一されたROMのデータをFPGAへロードする構成を採ることを特徴とするテレビジョンカメラシステム。



【特許請求の範囲】

【請求項1】 テレビジョンカメラシステムの形態で映像信号処理を行なうテレビジョンカメラシステムにおいて、当該テレビジョンカメラのCCD画素数、アスペクト比等の変更に伴って変わる信号処理レートに応じて変更が必要となるデジタル信号処理回路に、ROMロードタイプのフイールドプログラマブル論理デバイス(以下、FPGAと称す)を用い、当該テレビジョンカメラのCCD画素数、アスペクト比等を表わす情報に基づき、上記FPGA内の構成を、対応する信号処理回路の構成に変更設定することを特徴とするテレビジョンカメラシステム。

【請求項2】 映像信号をCCDクロックレートでA/D変換し、デジタル信号の形態で映像信号処理を行うテレビジョンカメラシステムにおいて、当該デジタル信号処理にROMロードタイプのFPGAを用い、当該テレビジョンカメラのCCD画素数若しくはアスペクト比に応じて、上記FPGA内のデジタル信号処理回路を変更するための、種々のCCD画素数若しくはアスペクト比に対応した異なるプログラム(回路構成情報)を格納した複数のROMと、当該CCD画素数情報若しくはアスペクト比変換操作を要する情報を検知する手段と、検出したCCD画素数情報若しくはアスペクト比変換操作情報に運動して対応する上記ROMに格納されたデータを上記FPGAへロードする手段とを設け、上記FPGA内の構成を、対応する信号処理回路の構成に変更設定することを特徴とするテレビジョンカメラシステム。

【発明の詳細な説明】

【0001】  
【産業上の利用分野】 本発明はデジタル信号処理を行い、かつ、アスペクト比の変更若しくはCCDの画素数の変更等が可能なテレビジョンカメラの信号処理に関するものである。

【0002】

【従来の技術】 テレビジョンカメラに用いられるCCD素子の技術進歩に伴い、CCDの画素数が年々向上している。このため、放送局等のカメラユーザでは、画素数の異なる複数のカメラを同時に使用するケースが生じ、これに対応できるテレビジョンカメラシステムの需要が高まっている。特に、近年画面の縦横比(アスペクト比)を、従来の4:3から16:9に変えるワイド化が進んでおり、放送用カメラ等では、4:3と16:9のアスペクト比の切替え機能が求められるようになってきている。ところで、4:3と16:9のアスペクト比を変更を行う方法としては、CCDの駆み出し方法を変える方式と、メモリを用い、この書き込みと読み出しのレート(クロック周波数)を変える方法等があるが、いずれも実効的なCCD駆動周波数が変化することになる。

【0003】 従来、CCDの画素数が変わっても、カメラ制御装置(以下、CCUと称す)がアナログ信号処理の構成、回路変更が必要となるケースは少なく、比較的簡

易に対応でき問題はなかった。しかし、近年、デジタル化が趨勢で、カメラの信号処理もデジタル化されるようになってきており、カメラヘッド部のCCD画素数が変わるとは、以下のような問題を招く。即ち、通常、放送用カメラ等の高画質の画質が求められるカメラでは、ビートや折り返し等の雑音の発生を防ぐため、デジタル信号処理を行う際必要となるA/D変換のクロックレートを、CCDクロックに合わせる方法がとられる。デジタル信号処理を行う場合は、信号処理レートによって、例えばフィルタの周波数特性も変わってしまうため、デジタル信号処理を行うカメラシステムの場合、CCDの画素数、若しくはアスペクト比が変わると、対応する信号処理回路の変更を必要とする。

【0004】

【発明が解決しようとする課題】 以上のように従来のデジタル信号処理を行うカメラシステムでは、使用するCCD画素数やアスペクト比が変わると、信号処理回路の変更が必要になる。したがって、従来の方法では、CCDの画素数またはアスペクト比に合わせて対応する信号処理のユニットを入れ替えるか、各信号処理レートに合った、複数のデジタル回路を具備しておく必要性が生じ、回路規模が膨大になる欠点を有する。本発明は上記の欠点を除去し、回路規模の大幅な増大を招くことなく、CCDの画素数またはアスペクト比等の変更に対応したデジタル信号処理を行うことを目的としている。

【0005】

【課題を解決するための手段】 本発明は、上記目的を達成するため、デジタル信号の形態で映像信号処理を行なうテレビジョンカメラシステムにおいて、当該テレビジョンカメラのCCD画素数、アスペクト比等の変更に伴って変わる信号処理レートに応じて変更が必要となるデジタル信号処理回路に、ROMロードタイプのフイールドプログラマブル論理デバイス(以下、FPGAと称す)を用い、当該テレビジョンカメラのCCD画素数、アスペクト比等を表わす情報に基づき、上記FPGA内の構成を、対応する信号処理回路の構成に変更設定するものである。

【0006】

【作用】 本発明では、CCDの画素数、アスペクト比等に合わせた回路構成情報が格納されている複数のROMの中から選択したROMのプログラムを、デジタル化された映像信号処理を行うFPGAにロードすることによって、回路規模の大幅な増大を招くことなく、CCDの画素数、アスペクト比等に適合したデジタル信号処理が可能になる。

【0007】

【実施例】 本発明の第1の実施例を図1に示し、以下、本発明を詳しく説明する。CCD1から得られた出力映像信号は、アナログ信号処理回路2で増幅等の必要な処理を施された後、A/D変換回路3に供給され、CCD

駆動用のクロックと同じレベルでサンプリングされ、ディジタル信号に変換される。ディジタル化された画像データは、CCDの画素数、アスペクト比等に比較し、ガンマ補正、ニー校正等)を行って第1のディジタル信号処理回路4で、必要な信号処理を施される。その後、フィルタプロセッサを構成する第2のディジタル信号処理回路5から出力される。中央制御ユニット(CPU)5からの制御により、CCD1の画素数、アスペクト比等に比較したディジタル信号処理回路5は、アパーチャ補正、フィルタリング処理等)を行う第2のディジタル信号処理回路6に供給される。そして、このような処理を施された信号は、アナログまたはディジタル信号のカメラ出力として、D/A変換回路7やディジタルインタフェース回路8を通じて出力される。

【0008】さて、ここで、ROMロードタイプ(SRAMタイプ)と呼ばれるFPGAの構成と、CCDの画素数やアスペクト比等に応じて、このFPGAを用いた信号処理回路構成を変更する方法について簡単に説明する。ROMロードタイプのFPGAは、図4に示すように、配線用のスイッチングランダムアクセス構造に、処理を自由に構築できるロジックセルアレイ部30と、このランダムアクセスの制御データを記憶するRAM部31、及び電源投入時や外部からのロード命令を受けたときに、このRAM部31に外付けROMからのデータを読み込むロード回路部32より構成される。つまり、このようなFPGAで構成された信号処理回路は、外付けROMに書き込むデータを変えることで、自由に回路構成を変更することができる。

【0009】本発明では、これらの特徴を利用し、例えば、あらかじめ予想し得る、複数通りのCCD画素サンプリングやアスペクト比に対応した回路データを各ブロックのROMにカメラ装置に格納しておき、CPUからの制御により、これらROMの中から対応するものを選択し、当該回路データをFPGAにロードすることにより、FPGAをCCD画素数、アスペクト比等に応じてディジタル信号処理回路の構成に変更するものである。

【0010】以下、図3に、図1に破線で示す、CPU5とCCD画素数、アスペクト比等に応じて回路構成を変更するFPGAを用いた第2のディジタル信号処理回路6の詳細な構成を示し、この動作を説明する。CPU5は、当該カメラ装置に格納されたCCDの画素数情報、アスペクト比変換操作部(図示せず)からのアスペクト比変換操作情報等を受取り、この情報をROM選択回路24に送る。ROM選択回路24は、この指示に基づき、複数個のROM21～23の中から、CCD画素数、アスペクト比に適合した信号処理回路データのいずれかのROMを選択し、電源投入時、ロード命令を受け取ったときに、これらのデータがFPGA20に

ロードされるよう制御する。これにより、FPGA20は、CCD画素数、アスペクト比に適合した信号処理回路構成となる。

【0011】ここで、例えば、CCDの画素数変更に伴い、クロック周波数が変わると、図5の(A)、(B)に示すように、FPGAに構成されたディジタルフィルタの特性が変化してしまうが、CCDの画素数に、図6の(A)、(B)に示すように、FPGA内の回路構成を、フィルタの係数やタップ数の異なる回路構成に組み替えることで、ほぼ同一のフィルタ特性に保つことができ、このような、本発明では、ユニットの交換や回路規模の大幅な増大を招くことなく、CCDの画素数、アスペクト比等に適合したディジタル信号処理が可能となる。

【0012】図2に、本発明の第2の実施例を示す。この例は、放送用カメラ等によく見られる、カメラヘッドとカメラコントロールユニット(以下、CCUと称す)分離型カメラに本発明を用いた例である。このようなカメラシステムでは、同じCCUに、異なる画素数のCCDを持つカメラヘッドが接続されたり、カメラヘッド側でアスペクト比の変更を行う場合がある。本実施例は、このようなケースに対しても、CCDの画素数、アスペクト比等に適合したディジタル信号処理をCCUで行うことを可能にするものである。

【0013】以下、本実施例の構成と動作を、図2を用いて説明する。第1の実施例と同様、カメラヘッド10において、CCD1の映像信号出力は、アナログ信号処理回路2で増幅等の必要な処理を施された後、A/D変換回路3に入力され、CCD駆動クロックと同じレベルでサンプリングされ、ディジタル信号に変換される。ディジタル化された映像データは、CCDの画素数、アスペクト比等に比較し、同一の回路で処理できる映像信号処理(例えば、ガンマ補正、ニー校正等)を行う第1のディジタル信号処理回路4で、必要な信号処理を施される。この信号処理された映像信号データは、ディジタル信号伝送ユニット13で、CCD画素数情報、アスペクト比変換操作情報を含むカメラヘッド10のCPU12の出力データと送られ、CCU11に送られる。

【0014】CCU11内のディジタル信号受信ユニット14は、このCPUデータと映像データを分離し、前者をCCU11のCPU15に、後者をROMロードタイプFPGAで構成されたCCU11のディジタル信号処理回路16に送出する。なお、このディジタル信号処理回路16の構成は、図3に示した第1の実施例のディジタル信号処理回路6と全く同じであり、CCU11のCPU15の制御により、CCDの画素数、アスペクト比等に適合した信号処理を施される。そして、このような処理を施されたディジタル映像信号17は、アナログ又はディジタル信号のカメラ出力として、D/A変換回路7やディジタルインタフェース回路8を通じて出力さ

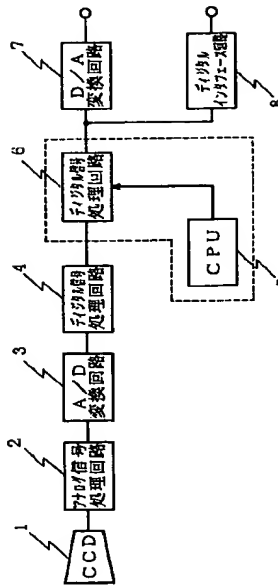
れる。

【0015】以上のように、本発明では、従来のシステムでは必要としたユニットの入替え等を行うことなく、同一のCCUに異なる画素数のCCDを持つカメラヘッドを接続することが可能となり、カメラシステムの運用性を大幅に向上させることができる。なお、以上の説明では、ROMに格納されたデータに基づき、CCDの画素数に適合したディジタル信号処理を行う素子にFPGAを用いたが、この替わりにDSP(ディジタルシグナルプロセッサ)を用いて回路の効果を達成することも可能である。

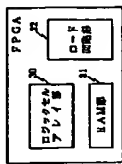
【0016】  
【発明の効果】以上述べた如く、本発明を用いると、CCDの画素数、アスペクト比等に適合したディジタル信号処理を簡単に行うことが可能となり、装置の小型化・低コスト化と、システムの運用性向上が図れ、その効果は大きい。

【図面の簡単な説明】  
【図1】本発明の第1の実施例の構成を示すブロック図  
【図2】本発明の第2の実施例の構成を示すブロック図  
【図3】本発明のFPGAで構成したディジタル信号処理回路の構成を示すブロック図  
【図4】ROMロードタイプのFPGAの構成を示す模式図  
【図5】クロック周波数により変化するディジタルフィルタの周波数特性を示す図  
【図6】ROMデータにより変更されるFPGA内のフィルタ回路の構成を示す図  
【符号の説明】  
1: CCD  
5, 12, 15: CPU  
6, 16: FPGAで構成されるディジタル信号処理回路

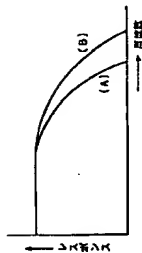
【図1】



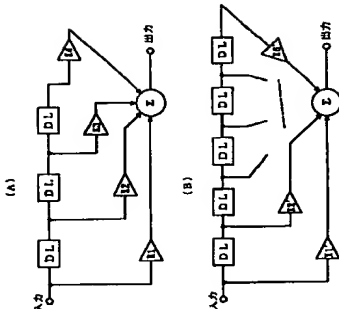
【図4】



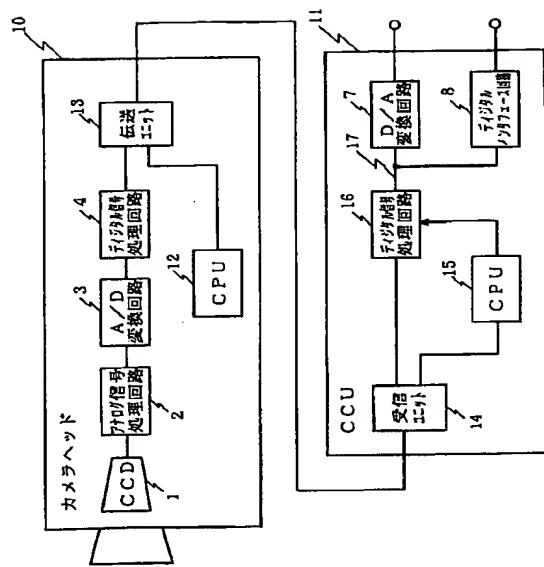
【図5】



【図6】



【図2】



【図3】

